

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-257226
 (43)Date of publication of application : 21.09.2001

(51)Int.CI. H01L 21/60
 H01L 21/3205
 H01L 29/40

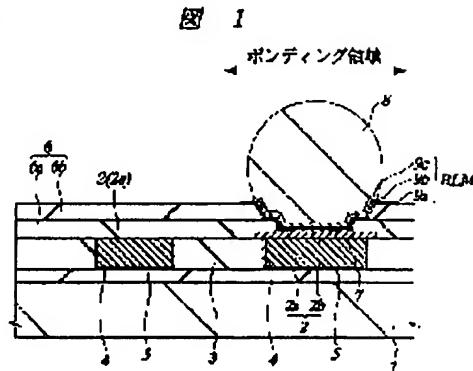
(21)Application number : 2000-066578 (71)Applicant : HITACHI LTD
 (22)Date of filing : 10.03.2000 (72)Inventor : TORII KATSUHIRO
 ASHIHARA YOJI
 AOKI HIDEO
 OHIRA YOSHIKAZU

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To enable a lead-out electrode on a semiconductor chip to be improved in reliability and in a adhesion to a bonding material.

SOLUTION: A lead-out electrode 2 at least in a bonding region is composed of a Cu wiring 2a which is comparatively thick and buried inside a recessed pattern 4 and a comparatively thin, Al film 2b coating the Cu wiring 2a.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-257226

(P2001-257226A)

(43)公開日 平成13年9月21日 (2001.9.21)

(51)Int.Cl.
H 01 L 21/60
21/3205
29/40

識別記号

F I
H 01 L 29/40
21/92
21/88
21/92

テマコード(参考)
Z 4 M 1 0 4
6 0 2 H 5 F 0 3 3
T
6 0 2 K
6 0 3 D

審査請求 未請求 請求項の数 5 O L (全 8 頁) 最終頁に統く

(21)出願番号 特願2000-66578(P2000-66578)

(22)出願日 平成12年3月10日 (2000.3.10)

(71)出願人 000005108

株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(72)発明者 烏居 克裕

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72)発明者 芦原 洋司

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(74)代理人 100080001

弁理士 筒井 大和

最終頁に統く

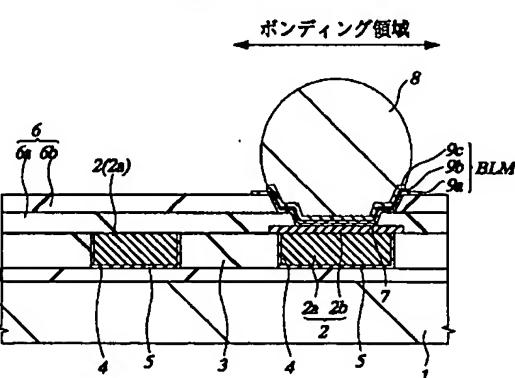
(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【課題】 半導体チップ上の引き出し電極の信頼度を向上し、同時に引き出し電極とポンディング材料との良好な接着性を得る。

【解決手段】 少なくともポンディング領域における引き出し電極2を、絶縁膜3に設けられた凹バターン4の内部に埋め込まれた相対的に厚いCu配線2aと、このCu配線2aを覆う相対的に薄いAl膜2bとで構成する。

図 1



【特許請求の範囲】

【請求項1】少なくともボンディング領域における引き出し電極が、下層から順に凹パターンに埋め込まれた相対的に厚い第1の導電膜と、相対的に薄い第2の導電膜とで構成されることを特徴とする半導体集積回路装置。

【請求項2】少なくともボンディング領域における引き出し電極が、下層から順に凹パターンに埋め込まれた相対的に厚いCu配線と、相対的に薄いA1膜、W膜、TiN膜またはTaN膜とで構成されることを特徴とする半導体集積回路装置。

【請求項3】少なくともボンディング領域における引き出し電極が、下層から順に凹パターンに埋め込まれた相対的に厚い第1の導電膜と、相対的に薄い第2の導電膜とで構成され、前記第2の導電膜の上層に表面保護膜が設けられていることを特徴とする半導体集積回路装置。

【請求項4】少なくともボンディング領域における引き出し電極が、下層から順に凹パターンに埋め込まれた相対的に厚い第1の導電膜と、相対的に薄い第2の導電膜とで構成され、前記第1の導電膜の上層に設けられた表面保護膜に穿孔するスルーホールを通して前記第1の導電膜と前記第2の導電膜とが接続されていることを特徴とする半導体集積回路装置。

【請求項5】少なくともボンディング領域における引き出し電極が、下層から順に凹パターンに埋め込まれた相対的に厚い第1の導電膜と、相対的に薄い第2の導電膜とで構成され、前記第1の導電膜の上層に設けられた積層構造の表面保護膜に穿孔するスルーホールを通して前記第1の導電膜と前記第2の導電膜とが接続されており、前記表面保護膜の最下層をプラズマSiN膜で構成することを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置に関し、特に、半導体チップ上の最上層配線であって、ボンディング材料が接続される引き出し電極を有する半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】例えば、特開平5-114655号公報に記載されているように、ボンディング材料が接続される最上層配線の引き出し電極は、A1を主材料とする金属膜によって構成されており、半導体チップの正面に形成された半導体集積回路と電気的に接続されている。

【0003】ところが、半導体素子の微細化に伴って最上層配線であるA1配線間のスペースが狭くなると、A1配線間のアスペクト比(配線膜厚/配線間スペース)が増大するため、A1配線の加工時にメタル残渣が発生する頻度が高くなり、A1配線のショートマージンが低

下するという問題が生ずる。

【0004】さらに、A1配線の段差に起因して、A1配線の上層に形成される表面保護膜の表面の平坦性が不足するため、A1配線の側壁部分において表面保護膜にクラックなどが生ずるという課題も残されている。

【0005】そこで、最上層配線にダマシングプロセスで形成されたCu配線を適用する検討が本発明者によって行われた。Cuダマシング配線では段差が生じないため、表面保護膜の表面が完全に平坦化されて、表面保護膜のクラックなどを防止することができる。また、Cu配線は低抵抗であり、高エレクトロマイグレーション耐性を有することから、Cu配線で構成することにより最上層配線の信頼度を向上することができる。

【0006】

【発明が解決しようとする課題】しかしながら、本発明者が検討したところによると、Cu配線の上層の表面保護膜にCu配線に達するスルーホールを形成すると、露出したCu配線の表面が酸化されて、Cu配線とAuまたは半田等のボンディング材料との接着性が悪くなり、ボンディング材料の剥がれや導通不良などが発生することが明らかとなった。

【0007】本発明の目的は、半導体チップ上の最上層配線である引き出し電極の信頼度を向上し、同時に引き出し電極とボンディング材料との良好な接着性を得ることのできる技術を提供することにある。

【0008】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0009】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。すなわち、

(1) 本発明の半導体集積回路装置は、少なくともボンディング領域における引き出し電極が、下層から順に凹パターンに埋め込まれた相対的に厚いCu配線と、相対的に薄い導電膜とで構成されるものである。

(2) 本発明の半導体集積回路装置は、少なくともボンディング領域における引き出し電極が、下層から順に凹パターンに埋め込まれた相対的に厚いCu配線と、相対的に薄いA1膜、W膜、TiN膜またはTaN膜とで構成されるものである。

(3) 本発明の半導体集積回路装置は、少なくともボンディング領域における引き出し電極が、下層から順に凹パターンに埋め込まれた相対的に厚いCu配線と、相対的に薄い導電膜とで構成され、この導電膜の上層に表面保護膜が設けられているものである。

(4) 本発明の半導体集積回路装置は、少なくともボンディング領域における引き出し電極が、下層から順に凹パターンに埋め込まれた相対的に厚いCu配線と、相対的に薄い導電膜とで構成され、Cu配線の上層に設けら

れた表面保護膜に穿孔するスルーホールを通してCu配線と上記導電膜とが接続されているものである。

(5) 本発明の半導体集積回路装置は、少なくともボンディング領域における引き出し電極が、下層から順に凹パターンに埋め込まれた相対的に厚いCu配線と、相対的に薄い導電膜とで構成され、Cu配線の上層に設けられた積層構造の表面保護膜に穿孔するスルーホールを通してCu配線と上記導電膜とが接続されており、表面保護膜の最下層をプラズマSiN膜で構成するものである。

【0010】上記した手段によれば、引き出し電極の主となる構成材料をダマシンプロセスで形成された相対的に厚いCu配線とすることにより、低抵抗でかつ高エレクトロマイグレーション耐性を有する引き出し電極が得られる。さらに、ボンディング材料と接する引き出し電極の表面層を相対的に薄いAl膜、W膜、TiN膜またはTaN膜で構成することによって、引き出し電極とボンディング材料との接着性が良好となり、ボンディング材料の剥がれや導通不良などの問題を回避することができる。また、引き出し電極の段差に起因した表面保護膜の表面の凹凸が改善されて表面保護膜に生ずるクラックを防ぐことができる。

【0011】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0012】なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0013】(実施の形態1) 図1に、本発明の一実施の形態である引き出し電極を示す半導体基板の要部断面図を示す。

【0014】半導体基板1の最上層配線である引き出し電極2は、主にダマシンプロセスで形成されたCu配線2aによって構成されており、図示はしないが、スルーホールを通して半導体基板1の主面に形成された半導体集積回路と電気的に接続されている。

【0015】Cu配線2aは、層間絶縁膜3に形成された凹パターン4の内部に埋め込まれたCu膜によって構成され、その厚さは、例えば0.5~2μm程度であり、低抵抗でかつ高エレクトロマイグレーション耐性を有する。凹パターン4の内壁にはCuの拡散またはCuの酸化を防ぐ機能を有するバリア層5が設けられている。バリア層5は、例えばTiN、Ta、TaN、W、WN、TiSiN、TaSiN、WSiNなどによって構成される。

【0016】上記Cu配線2aは表面保護膜6によって覆われている。表面保護膜6は、半導体基板1上に形成された絶縁膜のうちの最終絶縁膜であり、例えば下層から順に無機絶縁膜6aおよびPIQ膜6bが積層されて構成されている。無機絶縁膜6aの厚さは、例えば0.

5~3μm程度であり、PIQ膜6bの厚さは、例えば2~10μm程度である。

【0017】無機絶縁膜6aは、主に、例えばSiO₂、Si₃N₄、またはSiO_xとSi_yN_zとの積層膜からなり、従って、無機絶縁膜6aの構造としては、Si_yN_z/SOG(Spin On Glass)/SiO₂、Si_yN_z/SiO₂、SiO₂/Si_yN_z、SiO₂/SOG/Si_yN_zが提案される。

【0018】引き出し電極2にボンディング材料を接続する領域(ボンディング領域)の表面保護膜6にはスルーホール7が穿孔しており、このスルーホール7が設けられるCu配線2aの表面にはAl膜2bが形成されている。従って、ボンディング領域における引き出し電極2では、Cu配線2aとAl膜2bとが下層から順に積層されて構成されている。

【0019】Al膜2bは、半導体基板1上に堆積されたAlを主材料とした金属膜、例えばAl膜、Al-Cu合金膜などをレジストパターンをマスクとしてエッチング技術によって加工形成される。その厚さは、Cu配線2aの厚さよりも相対的に薄く、例えば0.05~1.0μm程度であり、Al膜2bでCu配線2aの表面を覆うことによってスルーホール7の形成によるCu配線2aの露出を防いでいる。なお、Cu配線2aとAl膜2bとの合金化反応を抑えるために、両者間にTiN、Ta_xNによって構成されるバリア層を設けてもよい。

【0020】さらに、引き出し電極2は、表面保護膜6に穿孔されたスルーホール7を通じて、CCB(Controlled Collapse Bonding)バンプ8が接合される下地金属BLMと電気的に接続されている。

【0021】下地金属BLMは、例えば3種類の金属層9a~9cが下層から順に積層されて構成されている。最下層の金属層9aは、例えばCrまたはTiからなり、その厚さは、例えば0.03~0.2μm程度である。また、中間の金属層9bは、例えばNiまたはCuからなり、その厚さは、例えば0.3~3μm程度である。さらに、最上層の金属層9cは、例えばAuからなり、その厚さは、例えば0.05~0.2μm程度である。従って、下地金属BLMの構造としては、Au/Ni/Cr、Au/Cu/Cr、Au/Ni/Ti、Au/Cu/Tiが提案される。なお、中間の金属層9bには、Ni-Cu合金またはNi-W合金を用いることもできる。

【0022】下地金属BLM上には、リフトオフ法またはメタルマスク蒸着法等によって形成されたCCBバンプ8が接合されている。なお、半導体チップをパッケージ基板に実装する際に、下地金属BLMとパッケージ基板の電極パッドに接合されたCCBバンプとを接続してもよい。

【0023】次に、本発明の実施の形態1である引き出し電極の製造方法の一例を図2~図7を用いて工程順に

説明する。

【0024】まず、図2に示すように、レジストパターンをマスクとして半導体基板1上に形成された絶縁膜3をエッティングすることにより、絶縁膜3に凹パターン4を形成する。この絶縁膜3の下層には、絶縁膜3に対してエッティング選択比がとれる絶縁膜3aが形成されている。

【0025】次に、図3に示すように、半導体基板1上にCuの拡散を防止することのできる機能を有する厚さ0.05μm程度のバリア層5をスパッタリング法またはCVD(Chemical Vapor Deposition)法などによって堆積した後、スパッタリング法による成膜、あるいはスパッタリング法とこれに続く電解めっき法との連続成膜などによってCu膜(図示せず)を堆積する。

【0026】次いで、半導体基板1に熱処理を施して、Cu膜を構成するCu原子を流動現象によって凹パターン4の内部へ流し込む(リフロー処理)。リフロー処理は、例えば水素雰囲気中で約450°C程度に半導体基板1を加熱して約2分間行われる。

【0027】この後、凹パターン4の外部のCu膜およびバリア層5をCMP(Chemical Vapor Deposition)法によって研磨除去して、凹パターン4の内部にバリア層5およびCu膜を埋め込み、Cu配線2aを形成する。

【0028】次に、例えばH₂プラズマ処理、またはH₂リフロー処理(400~450°C程度)などの還元処理をCu配線2aの表面に施した後、大気中にさらすことなく、図4に示すように、半導体基板1上にAlを主材料とする金属膜10を堆積する。

【0029】この後、図5に示すように、レジストパターンをマスクとして金属膜10をエッティングし、ボンディング領域のCu配線2aの上部にAl膜2bを形成する。ここで、後の工程でCu配線2aの表面が露出するのを防ぐため、Al膜2bの平面積をCu配線2aの平面積よりも大きく加工して、ボンディング領域のCu配線2aの表面をAl膜2bで完全に覆う。

【0030】次に、図6に示すように、無機絶縁膜6aおよびPIQ膜6bの積層からなる表面保護膜6を形成する。まず、半導体基板1上に無機絶縁膜6aを堆積した後、レジストパターンをマスクとして、Al膜2bがエッティングされてCu配線2aが露出しない条件で無機絶縁膜6aをエッティングし、ボンディング領域にスルーホール7を形成する。次に、無機絶縁膜6aの上層に感光性のPIQ膜6bを塗布した後、PIQ膜6bにリソグラフィ技術によって感光、現像処理を施し、次いで320~350°C程度の効果ペークを施すことで、上記スルーホール7上のPIQ膜6bを開孔する。

【0031】次に、図7に示すように、PIQ膜6bの上層に、例えばスパッタリング法により金属層9a~9cを下層から順に堆積する。次いで、レジストパターン

10

20

30

40

50

をマスクとして、例えばウエットエッティング法により、金属層9cおよび金属層9bを順次エッティングし、金属層9c、9bをパターン形成する。続いて、レジストパターンをマスクとして、例えばドライエッティング法により、金属層9aをエッティングし、金属層9aをパターン形成することにより、金属層9a~9cからなる下地金属BLMを形成する。

【0032】次に、下地金属BLM上に半田を、例えばリフトオフ法またはメタルマスク蒸着によって形成した後、ウエットバックにより上記半田を球形化してCCBパンプ8を形成する。

【0033】なお、本実施の形態1では、ボンディング領域のCu配線2aの上のみにAl膜2bを形成したが、Cu配線2a上の全てにAl膜2bを形成してもよい。

【0034】また、本実施の形態1では、引き出し電極2に下地電極BLMを介してCCBパンプ8が接続されたが、引き出し電極2に直接ボンディング材料、例えばワイヤーを接続してもよい。

【0035】また、本実施の形態1では、Cu配線2aの表面をAl膜2bによって覆ったが、例えばW膜、TiN膜、TaN膜などの酸化され難い金属膜によってCu配線2aを覆っても同様な効果が得られる。

【0036】このように、本実施の形態1によれば、引き出し電極2を主としてダマシングプロセスで形成された0.5~2μm程度の相対的に厚いCu配線2aで構成することによって、低抵抗でかつ高エレクトロマイグレーション耐性を有する引き出し電極2が得られる。さらに、ボンディング領域のCu配線2aを0.05~1.0μm程度の相対的に薄いAl膜2bで覆い、ボンディング材料をAl膜2bに接続させることによって、ボンディング材料との接着性が良好となり、ボンディング材料の剥がれや導通不良などの問題を回避することができる。また、Al膜2bが相対的に薄いことから、引き出し電極2の段差に起因した表面保護膜6の表面の凹凸が改善されてAl膜2bの側壁部分における応力が緩和し、表面保護膜6に生ずるクラックを防ぐことができると。

【0037】(実施の形態2)図8に、本発明の他の実施の形態である引き出し電極を示す半導体基板の要部断面図を示す。

【0038】半導体基板1の最上層配線である引き出し電極2は、主にダマシングプロセスで形成されたCu配線2aによって構成され、ボンディング領域では、このCu配線2の上にAl膜2bが形成されて積層構造による引き出し電極2が形成されている。しかし、前記実施の形態1の最上層配線では、表面保護膜6の下層にAl膜2bが形成されたが、本実施の形態2では、表面保護膜6の上層にAl膜2bが形成される。

【0039】次に、本発明の実施の形態2である引き出し電極の製造方法の一例を図9~図11を用いて工程順

に説明する。

【0040】まず、前記実施の形態1において前記図2および前記図3を用いて説明した製造方法と同様に、絶縁膜3に形成された凹パターン4の内部にバリア層5およびCu膜を埋め込み、Cu配線2aを形成する。

【0041】次に、例えばNH₃プラズマ処理などの還元処理をCu配線2aの表面に施した後、大気中にさらすことなく、図9に示すように、半導体基板1上にプラズマCVD法でプラズマSiN膜11を堆積し、続いて表面保護膜12を形成する。プラズマSiN膜11は、Cu配線2aから表面保護膜12へのCuの拡散を防ぐために設けられる。

【0042】次に、図10に示すように、レジストパターンをマスクとして表面保護膜12およびプラズマSiN膜11を順次エッチングし、スルーホール13を形成する。次いで、図11に示すように、半導体基板1上にA1を主材料とする金属膜10、例えばA1膜、A1-Cu合金膜などを堆積する。

【0043】この後、レジストパターンをマスクとして金属膜10をエッチングし、スルーホール13を通してCu配線2aに接するA1膜2bを形成し、Cu配線2aの表面を覆うことによりCu配線2aの露出を防ぐ。

【0044】このように、本実施の形態2によれば、ダマシンプロセスで形成されたCu配線2aの上層に表面保護膜12を形成し、さらに、スルーホール13が穿孔した表面保護膜12の上層にA1膜2bを形成することから、表面保護膜12の表面を完全に平坦化することが可能となり、表面保護膜12に生ずるクラックを防ぐことができる。

【0045】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0046】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0047】本発明によれば、低抵抗で高エレクトロマイグレーション耐性を有する引き出し電極が得られ、また、表面保護膜の表面の平坦性の改善によって表面保護膜に生ずるクラックを防ぐことができるので、引き出し電極の信頼度を向上することができる。さらに、引き出し電極とボンディング材料との接着性を良好なものとすることができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体チップ上の引き出し電極を示す半導体基板の要部断面図である。

【図2】本発明の一実施の形態である半導体チップ上の

引き出し電極の製造方法の一例を示す半導体基板の要部断面図である。

【図3】本発明の一実施の形態である半導体チップ上の引き出し電極の製造方法の一例を示す半導体基板の要部断面図である。

【図4】本発明の一実施の形態である半導体チップ上の引き出し電極の製造方法の一例を示す半導体基板の要部断面図である。

【図5】本発明の一実施の形態である半導体チップ上の引き出し電極の製造方法の一例を示す半導体基板の要部断面図である。

【図6】本発明の一実施の形態である半導体チップ上の引き出し電極の製造方法の一例を示す半導体基板の要部断面図である。

【図7】本発明の一実施の形態である半導体チップ上の引き出し電極の製造方法の一例を示す半導体基板の要部断面図である。

【図8】本発明の他の実施の形態である半導体チップ上の引き出し電極を示す半導体基板の要部断面図である。

【図9】本発明の他の実施の形態である半導体チップ上の引き出し電極の製造方法の一例を示す半導体基板の要部断面図である。

【図10】本発明の他の実施の形態である半導体チップ上の引き出し電極の製造方法の一例を示す半導体基板の要部断面図である。

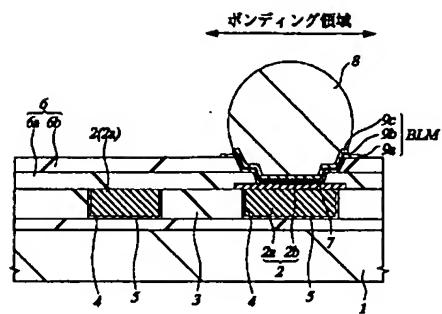
【図11】本発明の他の実施の形態である半導体チップ上の引き出し電極の製造方法の一例を示す半導体基板の要部断面図である。

【符号の説明】

- 1 半導体基板
- 2 引き出し電極
- 2a Cu配線
- 2b A1膜
- 3 絶縁膜
- 3a 絶縁膜
- 4 凹パターン
- 5 バリア層
- 6 表面保護膜
- 6a 無機絶縁膜
- 6b PIQ膜
- 7 スルーホール
- 8 CCBバンブ
- 9a 金属層
- 9b 金属層
- 9c 金属層
- 10 金属膜
- 11 プラズマSiN膜
- 12 表面保護膜
- 13 スルーホール

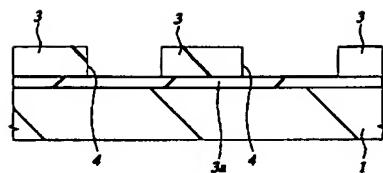
【図1】

図1



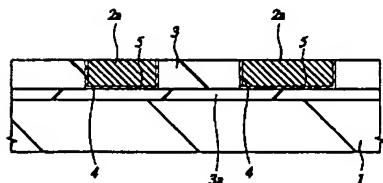
【図2】

図2



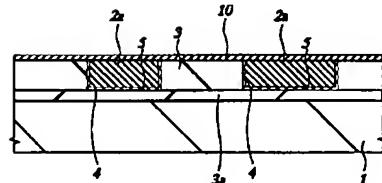
【図3】

図3



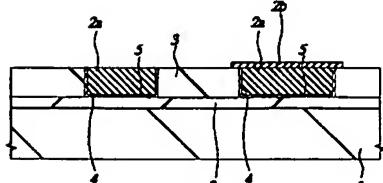
【図4】

図4



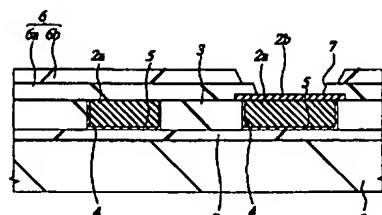
【図5】

図5



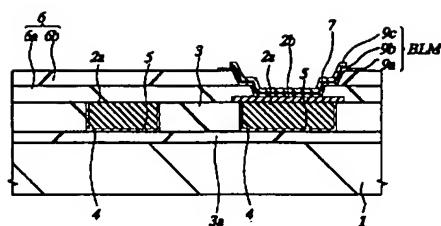
【図6】

図6



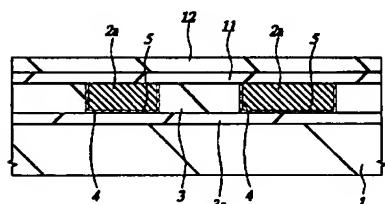
【図7】

図7



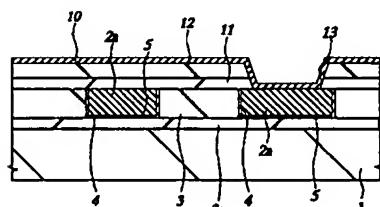
【図9】

図9



【図11】

図11



フロントページの続き

(51)Int.CI.⁷

識別記号

F I

マーク(参考)

H 0 1 L 21/92

6 0 3 G

(72)発明者 青木 英雄

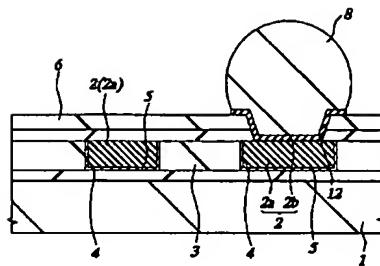
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72)発明者 大平 義和

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

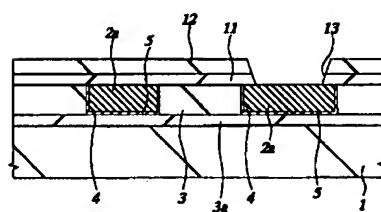
【図8】

図8



【図10】

図10



F ターム(参考) 4M104 BB02 BB04 BB17 BB18 BB29
BB30 BB32 BB33 CC01 DD17
DD20 DD37 DD43 DD52 DD64
DD65 DD75 DD78 EE02 EE06
EE12 EE14 EE17 EE18 FF17
GG13 HH20
SF033 HH07 HH08 HH11 HH13 HH18
HH19 HH21 HH32 HH33 HH34
MM01 PP06 PP15 PP19 PP27
QQ08 QQ09 QQ10 QQ11 QQ19
QQ41 QQ48 QQ75 RR04 RR06
RR09 RR22 RR27 SS15 SS21
TT04 VV07 XX05 XX08 XX12
XX17